Hierarchical Connectivity Model (HCM) implementation using High Level Programming Language (C++) for Computer Aided Design (CAD) Purposes

Background:

Hierarchical Connectivity Models (HCM) are used to describe hardware designs using high level programming language for implementations of VLSI algorithms and automation tools. With the growing complexity of digital hardware designs (VLSI), the need for automation tools is growing rapidly. In order to implement these tools, an efficient HCM tool which parses Hardware Description Language (HDL) files into an Object-Oriented Programming (OOP) environment is required.

Project:

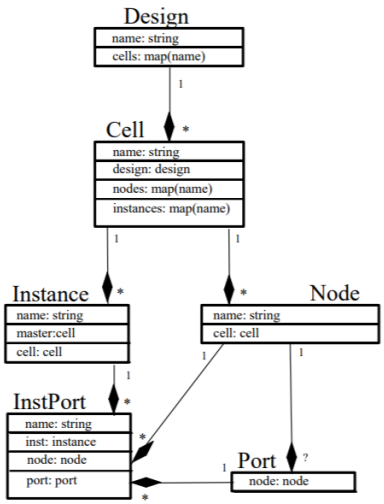
This project purpose is to implement an Application Programming Interface (API) of HCM, which will be used in the "VLSI CAD" course. The implementation will be a C++ code, to be written in Visual Studio environment. The goal is to read Verilog files and represent their components and connectivity in a dedicated data structure.

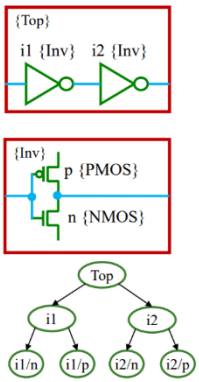
Relevant pre-knowledge:

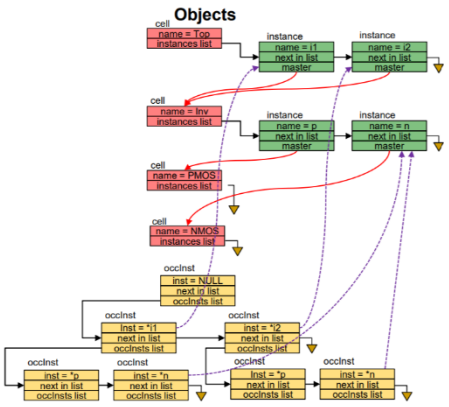
The project mainly requires writing an OOP using C++ so previous practice with C++ and OOP is mandatory.

"046880 - VLSI CAD" course is plus (optional, but not required).

For more information: Mor Dahan – mordahan@campus.technion.ac.il







מימוש מודל חיבוריות היררכי (HCM) בשפת תכנות גבוהה (C++) עבור שימושים של תכן בעזרת מחשב של חומרה (CAD)

רקע:

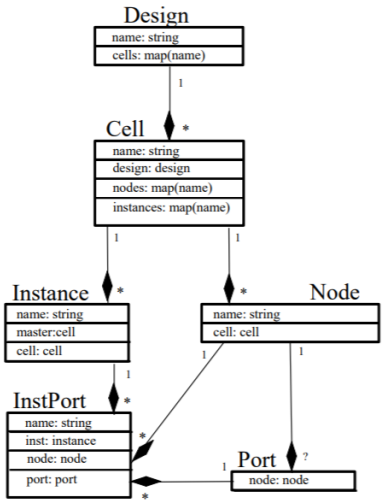
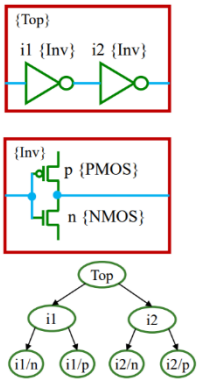
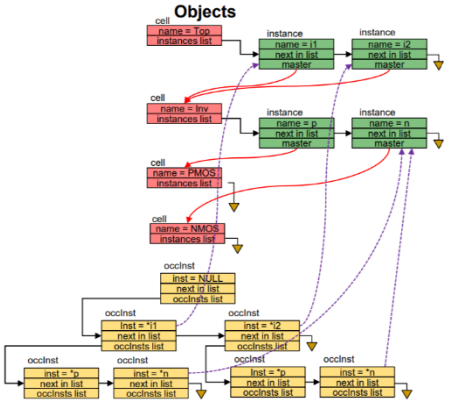
מודלים היררכיים לחיבוריות (HCM) משמשים לתיאור של תכן חומרתי על ידי שימוש בשפת תכנות גבוהה ובאמצעותם למימוש של אלגוריתמי VLSI וכלי אוטומציה. עם הגידול בכמות הרכיבים המרכיבים מעגלים דיגיטליים (VLSI), הצורך בכלי אוטומציה גדל באופן מהיר. על מנת לממש כלי אוטומציה אלו, נדרש מודל חיבוריות היררכי יעיל המקבל קבצים לתיאור חומרה (HDL) ומייצרים מודל חיבוריות היררכי מבוסס מימוש מונחה עצמים (OOP).

הפרויקט:

מטרת הפרויקט היא לממש ממשק תוכנה (API) של מודל חיבוריות היררכי, אשר ישמש סטודנטים בקורס תכן לוגי של מערכות VLSI בפקולטה לחשמל. המימוש יהיה באמצעות קוד בשפת C++ בסביבת עבודה של Visual Studio. המטרה היא לקרוא קבצי וריולוג (Verilog) ולייצג את תוכנם והחיבוריות בהם על ידי מבנה נתונים יעודי.

רקע קודם רלוונטי:

הפרויקט ידרוש תכנות ברמה גבוהה בשפת C++ ועבודה עם מבני נתונים ומימוש מונחה עצמים ולכן יכולת תכנות היא חובה.

למי שלמד את הקורס "046880 - תכן לוגי של מערכות VLSI" יש יתרון, אך אינו חובה.

למידע נוסף: מור דהאן - mordahan@campus.technion.ac.il